高精度、低功耗 14 位双极性伪差分 300 kSPS SAR ADC

产品特性

- 伪差分 14 位，无失码
- 吞吐率：300 kSPS
- INL：±0.25 LSB 典型值
- DNL：±0.25 LSB 典型值
- 动态范围：85.5 dB
- 信纳比 (SINAD)：85 dB 典型值在 1 kHz
- 谐波失真 (THD)：-103 dB 典型值在 1 kHz
- 伪差分输入范围：0 V ~ V_{REF}
- 触发后无延迟响应
- 5 V 单电源供电
- 逻辑电平支持：1.8 V/2.5 V/3 V/5 V
- 封装：MSOP-10/DFN-10
- 静态电流：2 nA 典型值；50 nA 最大值
- 工业温度范围：-40 °C 至+85 °C

应用

- 精密数据采集
- 自动化测试
- 精密仪器
- 医疗仪器

产品简介

ZJC2018 是一款低噪声、低功耗、14 位伪差分输入逐次逼近型模数转换器 (SAR ADC)，具备 300 kSPS 吞吐率，封装小，易使用，可降低系统的功耗和复杂性，实现高密度设计。

ZJC2018 需要 5 V 电源供电，对 IN+与 IN-之间的模拟输入电压进行采样，范围从 0 V 至+V_{REF} (V_{REF} 范围为 0.5 V 至 V_{DD})。ZJC2018 基准电压由外部提供，独立于电源电压。利用独立 VIO 引脚 ZJC2018 可与 1.8 V、2.5 V、3.3 V 和 5 V 逻辑兼容。此器件提供一个 SPI 兼容串口，也支持菊链操作以实现多个器件串行级联。

ZJC2018 分 10 引脚 MSOP 和 DFN 封装，工作温度范围为-40 °C 至+85 °C。它与业界经典产品管脚兼容。

典型应用图

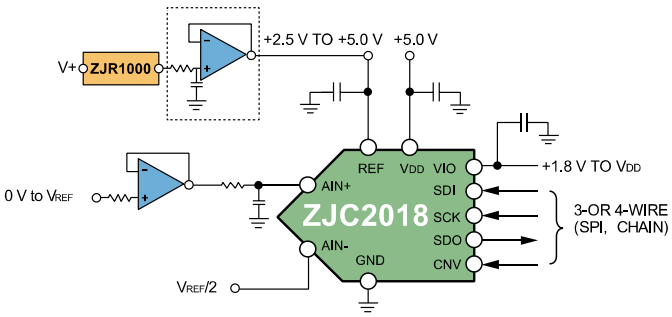


图1. 应用案例

典型特性

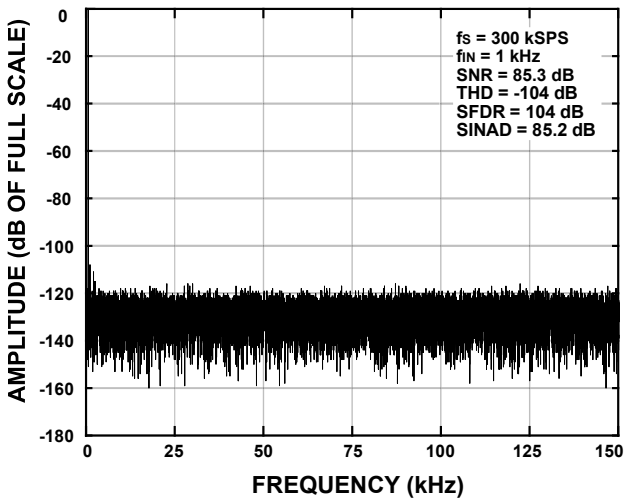


图2. 交流特性

18/16/14 位全速 SAR ADC 系列如下：

封装类型	400 kSPS	500 kSPS	600 kSPS	1 MSPS	封装
18-bit 真差分	ZJC2000				MSOP/DFN-10
18-bit 单极性伪差分	ZJC2004				
18-bit 双极性伪差分	ZJC2005				
16-bit 真差分		ZJC2001			
16-bit 单极性伪差分		ZJC2002			MSOP/DFN-10、MSOP-8
16-bit 双极性伪差分		ZJC2003			MSOP/DFN-10
14-bit 单极性伪差分			ZJC2007		MSOP/DFN-10、MSOP-8
14-bit 双极性伪差分			ZJC2008		MSOP/DFN-10
12-bit 单端输入				ZJC2009	SOT23-6

18/16/14 位中速 SAR ADC 系列如下：

封装类型	200 kSPS	250 kSPS	300 kSPS	封装
18-bit 真差分	ZJC2010			MSOP/DFN-10
18-bit 单极性伪差分	ZJC2014			
18-bit 双极性伪差分	ZJC2015			
16-bit 真差分		ZJC2011		
16-bit 单极性伪差分		ZJC2012		MSOP/DFN-10、MSOP-8
16-bit 双极性伪差分		ZJC2013		MSOP/DFN-10
14-bit 单极性伪差分			ZJC2017	MSOP/DFN-10、MSOP-8
14-bit 双极性伪差分			ZJC2018	MSOP/DFN-10

此文档版权归上海治精微电子有限公司所有

目录

产品特性 1
应用 1
产品简介 1
典型应用图 1
典型特性 1
版本修订记录（发布版 A） 4
引脚配置与功能 5
绝对最大额定值 6
热阻 6
技术规格 7
时序指标 9
典型特性 11
工作原理 14
电路结构 14
转换器操作 14
传递函数 15
典型连接图 16
伪差分输入转换 17
基准电压输入 18
电源 18
数字接口 19
片选模式（三线式无繁忙指示） 19
片选模式（三线式有繁忙指示） 20
片选模式（四线式无繁忙指示） 21
片选模式（四线式有繁忙指示） 22
链模式（无繁忙指示） 23
链模式（有繁忙指示） 24
布局布线 26
封装外形尺寸 27
采购信息 28
产品订货型号 28
相关器件 29

此文档版权归上海治精微电子有限公司所有

版本修订记录（发布版 A）[1]

2025 年 2 月——发布版 A

更新全文格式、第 2 页、图 31/32/33、封装外形尺寸、采购信息、产品订货型号、相关器件

2023 年 3 月

[1] 本文中由上海治精微电子有限公司提供的信息是准确和可靠的。但是，上海治精微电子有限公司对其使用不承担任何责任，也不对任何使用它可能导致侵犯第三方专利或其他权利的情况承担任何责任。规格如有更改，恕不另行通知。本文中的商标和注册商标是其各自所有者的财产。对本文中任何专利或专利权，上海治精微电子有限公司均未通过暗示或其他方式授予许可。

此文档版权归上海治精微电子有限公司所有

引脚配置与功能

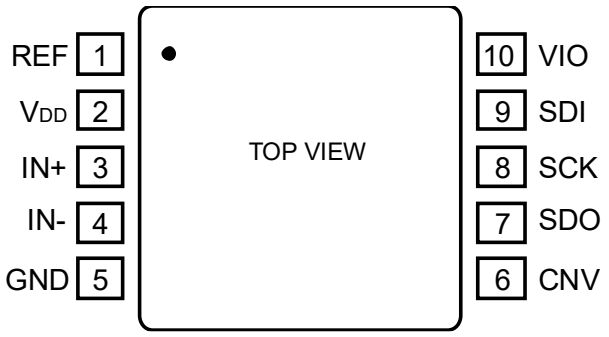


图3. 10 引脚 MSOP 管脚配置图

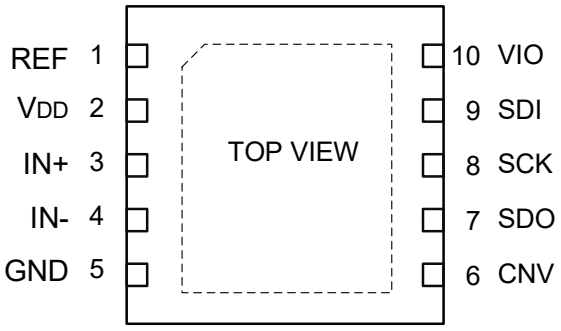


图4. 10 引脚 DFN 管脚配置图

注释：裸露焊盘无内部连接。为更好的焊接可靠性，推荐将此焊盘接地。

引脚名称	引脚编号	引脚类别	功能描述
REF	1	电源	电压基准输入。V_{REF} 范围为 0.5 V 至 V_{DD}。建议此引脚必须通过与之尽量靠近的 10 μF X7R 陶瓷电容去耦至 GND 引脚。
V_{DD}	2	电源	电源管脚。V_{DD} 范围为 2.7 V 至 5.5 V。建议通过至少 0.1 μF 陶瓷电容将 V_{DD} 旁路至 GND。
IN+	3	模拟输入	模拟输入引脚。参考模拟地检测引脚 (IN-)。IN+与 IN-构成伪差分输入，其工作输入范围为 0 V 至 V_{REF}。
IN-	4	模拟输入	模拟输入直流共模电平检测引脚。此引脚连接到 $V_{REF}/2$ 电平。
GND	5	地	电源地。
CNV	6	数字输入	转换输入。此输入具有多个功能，具体见数字接口部分。
SDO	7	数字输出	串行数据输出。转换结果通过此引脚输出。它与 SCK 同步。
SCK	8	数字输入	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
SDI	9	数字输入	串行数据输入。此输入提供多个功能以实现各种不同的串行协议。
VIO	10	电源	输入/输出接口数字电源。此引脚的标称电压与控制器接口电源相同 (1.8 V、2.5 V、3.3 V 或 5 V)。建议通过至少一个 0.1 μF 陶瓷电容将 VIO 旁路至 GND。
EPAD			裸露焊盘。推荐焊接到地。

此文档版权归上海治精微电子有限公司所有

绝对最大额定值[1]

参数	额定值
V_{DD}、REF、VIO 至 GND	-0.3 ~ 6 V
REF、VIO 至 V_{DD}	-6 ~ V_{DD} + 0.3 V
模拟输入范围 (IN+、IN-至 GND)	-0.3 ~ V_{DD} + 0.3 V
数字输入至 GND	-0.3 ~ VIO + 0.3 V
数字输出至 GND	-0.3 ~ VIO + 0.3 V
存储温度范围	-65 °C 至+150 °C
结温范围	至 150 °C
引脚温度 (焊接，10 秒)	300 °C
最大回流焊接温度 [2]	260 °C
静电放电 (ESD) [3]	
人体模型 (HBM) [4]	1.5 kV
充电器件模型 (CDM) [5]	1 kV

热阻 [6]

封装类型	θ_{JA}	θ_{JC}	单位
MSOP-10	150	50	°C/W
DFN-10	43	5.5	°C/W

[1] 注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

[2] 符合 IPC/JEDEC J-STD-020 标准

[3] 带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品有专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施以避免器件性能下降或功能丧失。

[4] 符合 ANSI/ESDA/JEDEC JS-001 标准

[5] 符合 ANSI/ESDA/JEDEC JS-002 标准

[6] θ_{JA} 针对器件焊接在电路板上以实现表贴封装的最坏条件。

此文档版权归上海治精微电子有限公司所有

技术规格

"●"表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 V_{DD} = 4.5 V ~ 5.5 V，V_{REF} = V_{DD}，T_A = 25 °C。

参数	符号	测试条件		最小值	典型值	最大值	单位
分辨率				14			bits
输入特性							
电压范围		IN+ to IN-	●	0		V_{REF}	V
绝对输入电压		IN+ to GND	●	-0.1		V_{REF} + 0.1	V
		IN- to GND	●	V_{REF}/2 - 0.1	V_{REF}/2	V_{REF}/2 + 0.1	V
共模抑制比	CMRR	f_{IN} = 250 kHz			57		dB
漏电流					1		nA
输入阻抗 [1]		采集阶段					
吞吐率							
转换率			●			300	kSPS
瞬态响应		满量程阶跃	●			1.9	µs
直流准确度							
无失码			●	14			bits
积分非线性误差	INL		●	-0.75	±0.25	+0.75	LSB [2]
差分非线性误差	DNL		●	-0.5	±0.25	+0.5	LSB
过渡噪声		REF = V_{DD} = 5 V			0.3		LSB
增益误差	GE		●	-5	±0.5	±5	LSB
增益误差温漂					±0.3		ppm/°C
零输入误差	ZE		●	-1.5	±0.5	+1.5	LSB
零输入误差温漂					±0.3		ppm/°C
电源灵敏度		V_{DD} = 5 V ± 5%			±1		ppm
交流准确度							
动态范围	DR	V_{REF} = 5 V	●	84.5	85.5		dB [3]
信噪比	SNR	f_{IN} = 1 kHz, V_{REF} = 5 V	●	83.7	85.1		dB
		f_{IN} = 1 kHz, V_{REF} = 2.5 V	●		81.5		dB
无杂散动态范围	SFDR	f_{IN} = 1 kHz, V_{REF} = 5 V			103		dB
总谐波失真	THD				-103		dB
信纳比	SINAD	f_{IN} = 1 kHz, V_{REF} = 5 V	●	83.5	85		dB
交调失真	IMD	f_{IN} = 1 kHz, V_{REF} = 5 V			-97		dB
基准							
电压范围			●	0.5		V_{DD} + 0.3	V
负载电流		正弦波输入			100		µA

[1] 见模拟输入部分。
[2] LSB 表示最低有效位。5 V 输入范围时，1 LSB = 305.2 µV。
[3] 除非另有说明，所有用分贝 (dB) 表示的规格均参考满量程输入 FSR，并用低于满量程 0.5 dB 的输入信号进行测试。

此文档版权归上海治精微电子有限公司所有

参数	符号	测试条件		最小值	典型值	最大值	单位
采集动态							
-3 dB 输入带宽		V_{DD} = 5 V			1.7		MHz
孔径延时		V_{DD} = 5 V			3		ns
数字输入							
逻辑电平	V_{IL}		●	-0.3		0.3 x VIO	V
	V_{IH}		●	0.7 x VIO		VIO + 0.3	V
	I_{IL}		●	-1		+1	µA
	I_{IH}		●	-1		+1	µA
数字输出							
数据格式				串行 14 位，2 进制补码			
流水线延迟				转换完成后即可读取码值			
	V_{OL}	I_{OUT} = +500 µA	●			0.4	V
	V_{OH}	I_{OUT} = -500 µA	●	VIO - 0.3			V
电源							
模拟电源	V_{DD}		●	4.5		5.5	V
数字接口电源	VIO	标定性能	●	2.3		V_{DD} + 0.3	V
VIO 范围				1.8		V_{DD} + 0.3	V
待机电流 [4,5]		V_{DD} 和 VIO = 5 V	●		2	50	nA
电源功耗		V_{DD} = 5 V, 100 SPS 吞吐率			4		µW
		V_{DD} = 5 V, 100 kSPS 吞吐率	●		4	4.8	mW
		V_{DD} = 5 V, 300 kSPS 吞吐率	●		9	10.5	mW
能量每转换					35		nJ/sample
温度范围							
额定性能		T_{MIN} to T_{MAX}		-40		+85	°C

[4] 根据需要，所有数字输入强制接 VIO 或 GND。
[5] 在采集阶段。

此文档版权归上海治精微电子有限公司所有

时序指标

“●”表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 V_{DD} = 4.5 V ~ 5.5 V，V_{REF} = V_{DD}，VIO = 2.3 V ~ V_{DD}，T_A = 25 °C。

参数	符号		最小值	典型值	最大值	单位
转换时间：CNV 上升沿至数据可用	t_{CONV}	●	0.4		1.4	μs
采集时间	t_{ACQ}	●	1.933			μs
转换间隔时间	t_{CYC}	●	3.333			μs
CNV脉冲宽度（$\overline{CS}$片选模式）	t_{CNVH}	●	10			ns
SCK 周期（$\overline{CS}$片选模式）	t_{SCK}	●	15			ns
SCK 周期（Chain 链模式）	t_{SCK}					
VIO高于4.5 V		●	17			ns
VIO 高于 3 V		●	18			ns
VIO 高于 2.3 V		●	20			ns
SCK 低电平时间	t_{SCKL}	●	7			ns
SCK 高电平时间	t_{SCKH}	●	7			ns
SCK 下降沿至数据仍然有效	t_{HSDO}	●	4			ns
SCK 下降沿至数据有效延迟时间	t_{DSDO}					
VIO 高于 4.5 V		●			14	ns
VIO 高于 3 V		●			15	ns
VIO 高于 2.3 V		●			17	ns
CNV 或 SDI 低电平至 SDO D15 MSB 有效（$\overline{CS}$片选模式）	t_{EN}					
VIO 高于 4.5 V		●			20	ns
VIO 高于 3 V		●			22	ns
VIO 高于 2.3 V		●			25	ns
CNV 或 SDI 高电平或最后一个 SCK 下降沿至 SDO 高阻态（$\overline{CS}$片选模式）	t_{DIS}	●			25	ns
SDI 有效建立时间对 CNV 上升沿（$\overline{CS}$模式）	$t_{SSDICNV}$	●	15			ns
SDI 有效保持时间对 CNV 上升沿（$\overline{CS}$模式）	$t_{HSDICNV}$	●	3			ns
SCK 有效建立时间对 CNV 上升沿（链模式）	$t_{SSCKCNV}$	●	5			ns
SCK 有效保持时间对 CNV 上升沿（链模式）	$t_{HSCKCNV}$	●	5			ns
SDI 有效建立时间对 SCK 下降沿（链模式）	$t_{SSDISCK}$	●	3			ns
SDI 有效保持时间对 SCK 下降沿（链模式）	$t_{HSDISCK}$	●	4			ns
SDI 高电平至 SDO 高电平（链模式且有繁忙指示）	$t_{DSDOSDI}$					
VIO 高于 4.5 V					17	ns
VIO 高于 2.3 V					27	ns

此文档版权归上海治精微电子有限公司所有

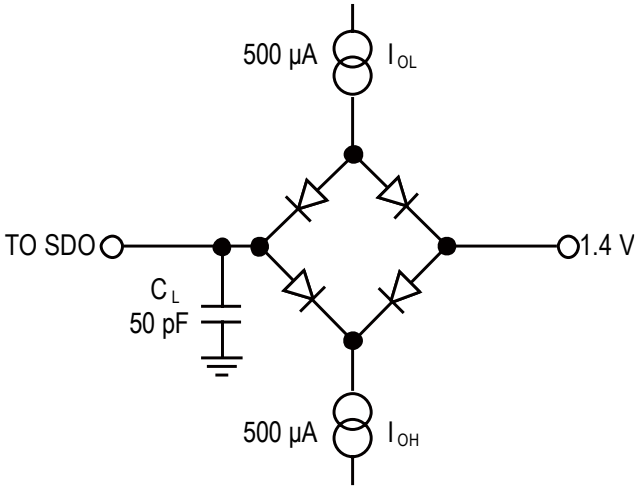


图5. 数字接口时序的负载电路

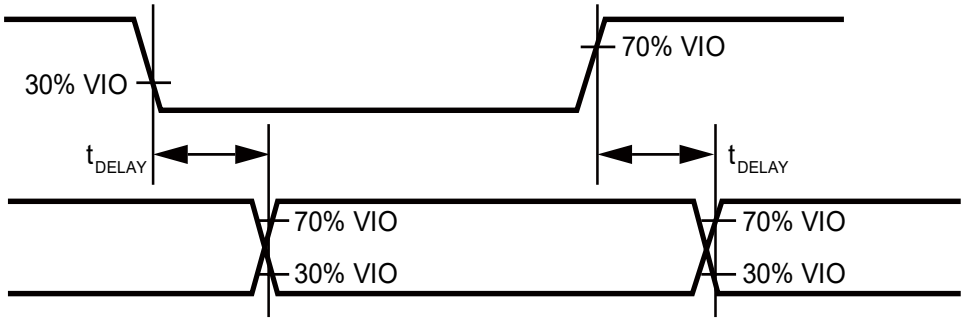


图6. 时序的逻辑电平

此文档版权归上海治精微电子有限公司所有

典型特性

除非另有说明，V_{DD} = 5.0 V，REF = 5.0 V，VIO = 3.3 V，T_A = 25 °C。

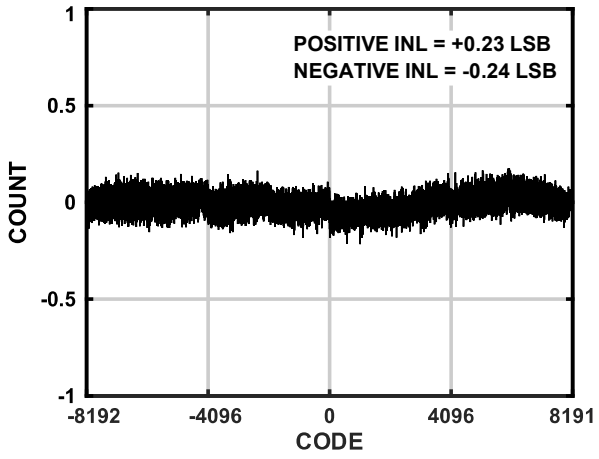


图7. 积分非线性与代码的关系

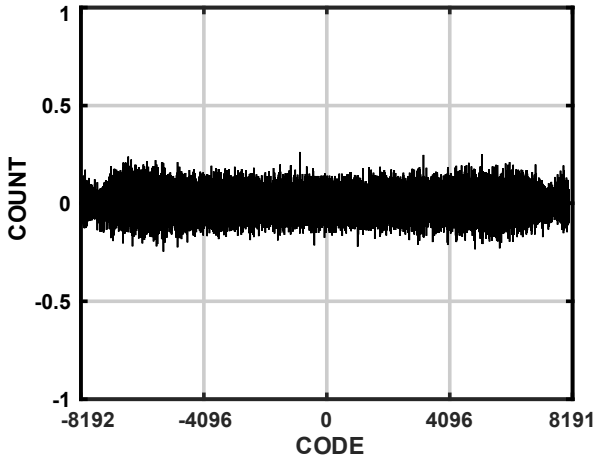


图8. 微分非线性与代码的关系

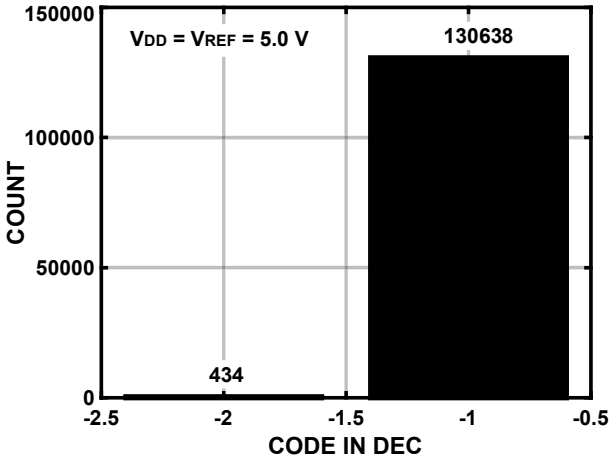


图9. 直流输入的直方图（码中心）

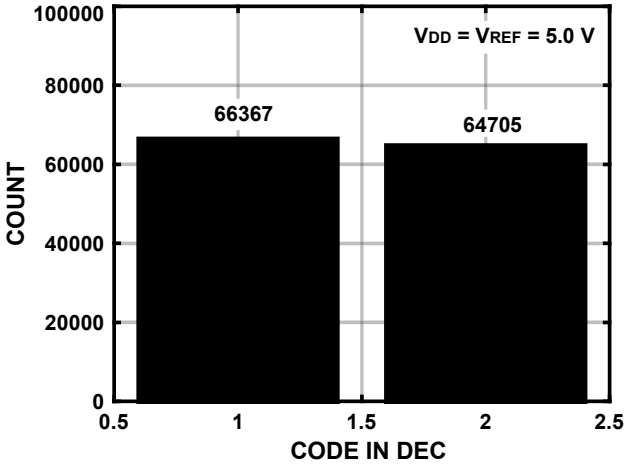


图10. 直流输入的直方图（码跃迁）

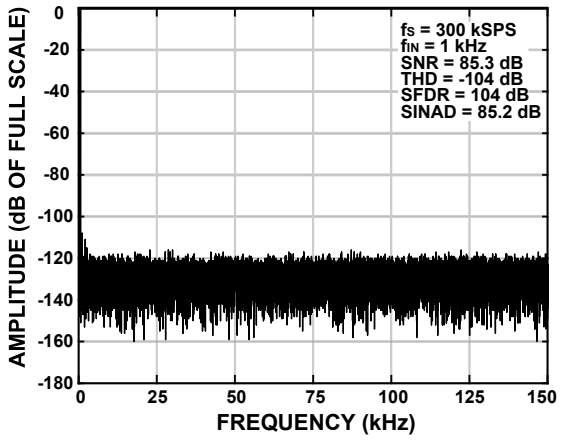


图11. FFT 曲线图

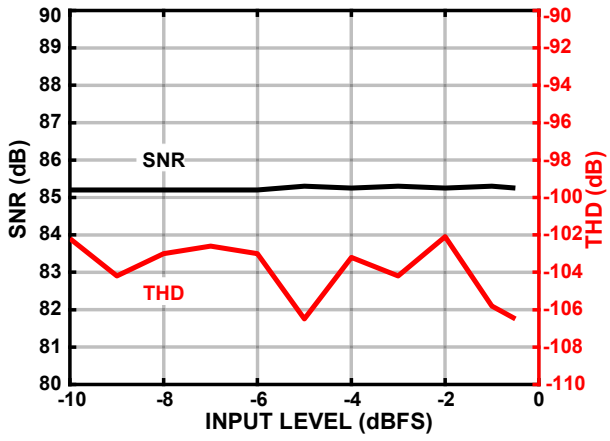


图12. SNR, THD 与输入电平的关系

此文档版权归上海治精微电子有限公司所有

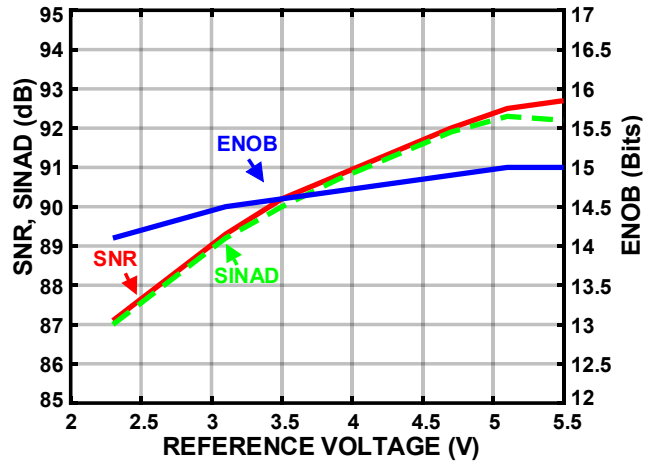


图13. SINAD 和 ENOB 与基准电压的关系

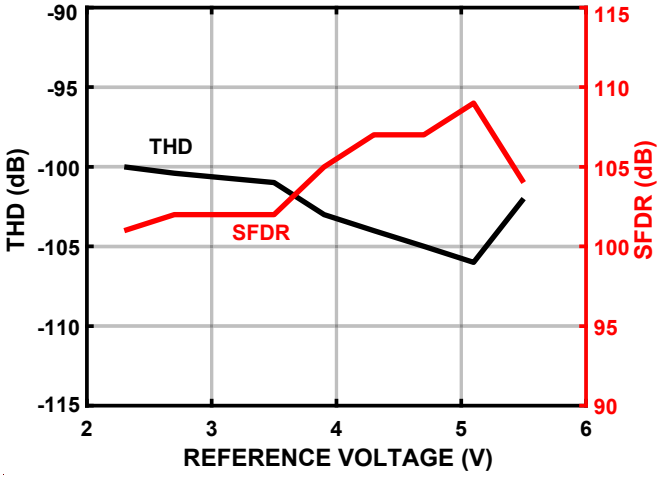


图14. THD, SFDR 与基准电压的关系

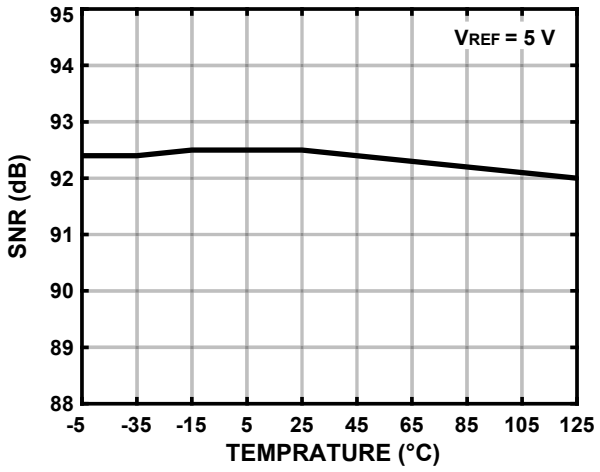


图15. SNR 与温度的关系

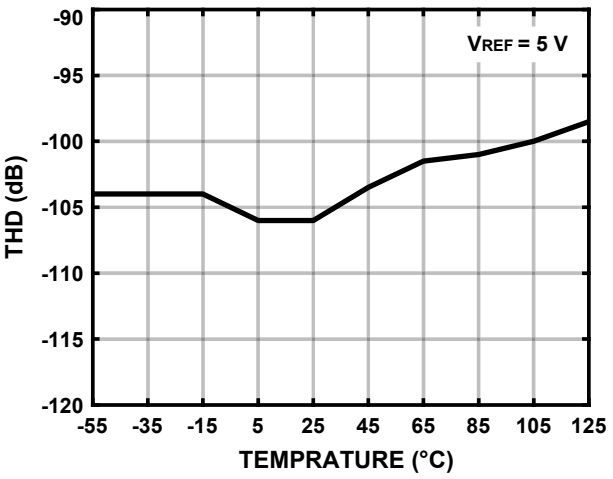


图16. THD 与温度的关系

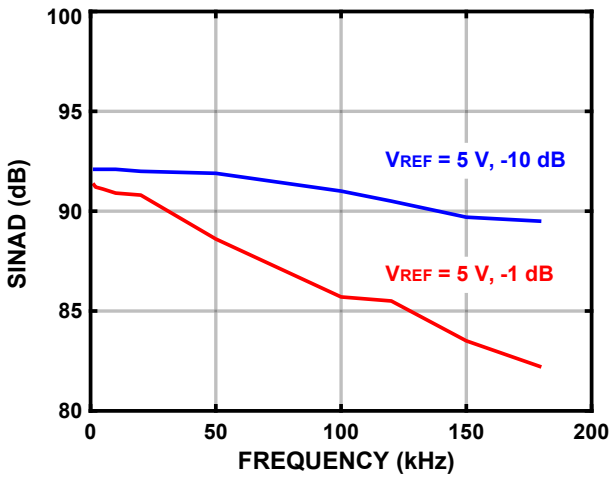


图17. SINAD 与频率的关系

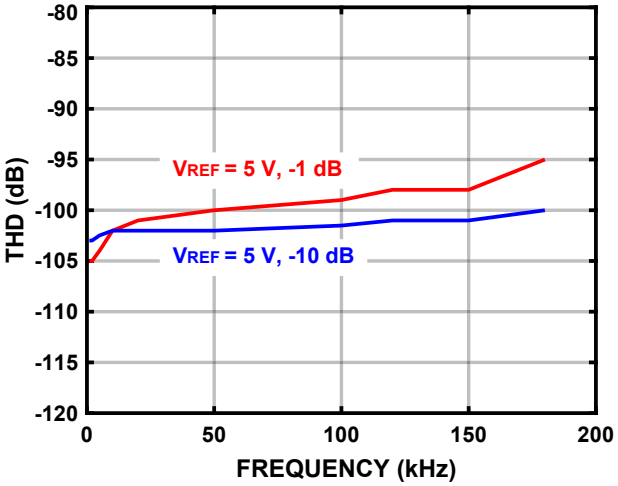


图18. THD 与频率的关系

此文档版权归上海治精微电子有限公司所有

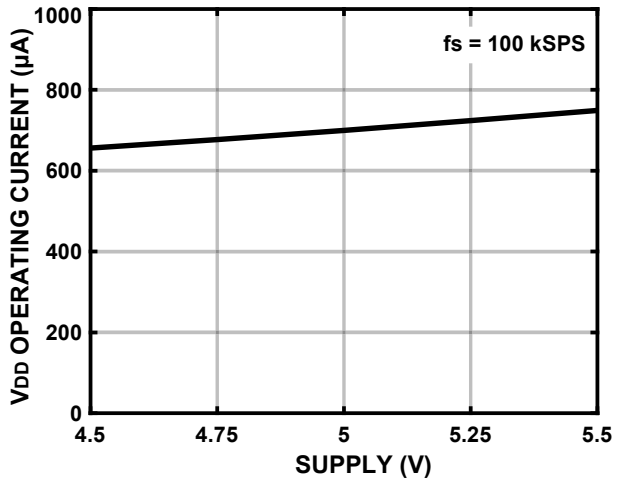


图19. V_{DD} 工作电流与电源电压的关系

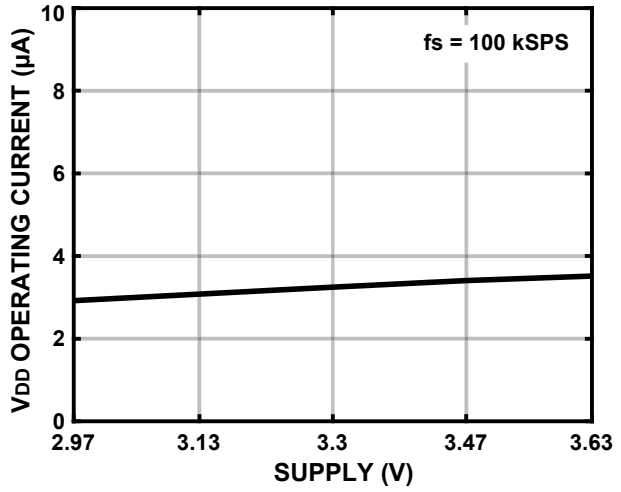


图20. VIO 工作电流与电源电压的关系

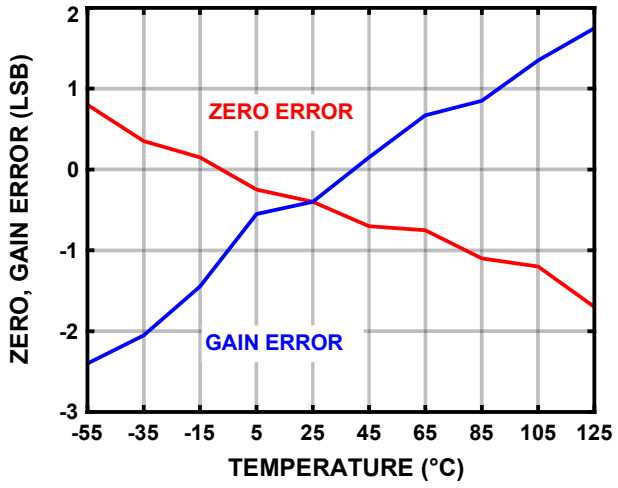


图21. 零输入，增益误差与温度的关系

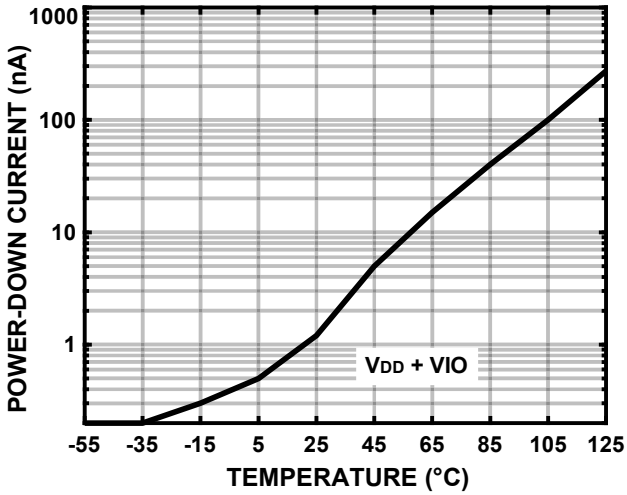


图22. 待机电流与温度的关系

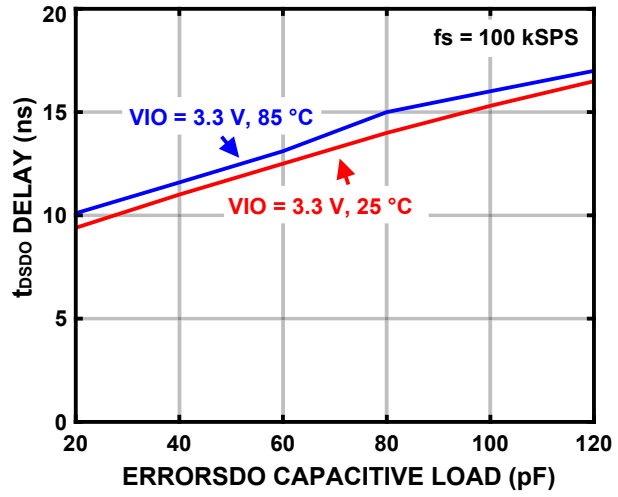


图23. t_{DSDO} 延时 vs 负载电容和电压

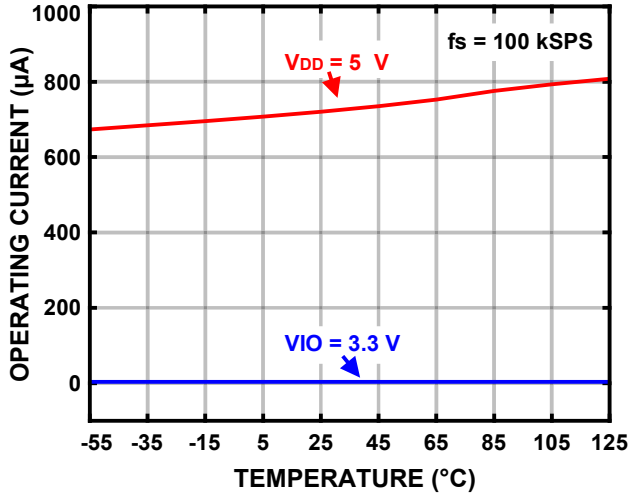


图24. 工作电流与温度的关系

此文档版权归上海治精微电子有限公司所有

工作原理

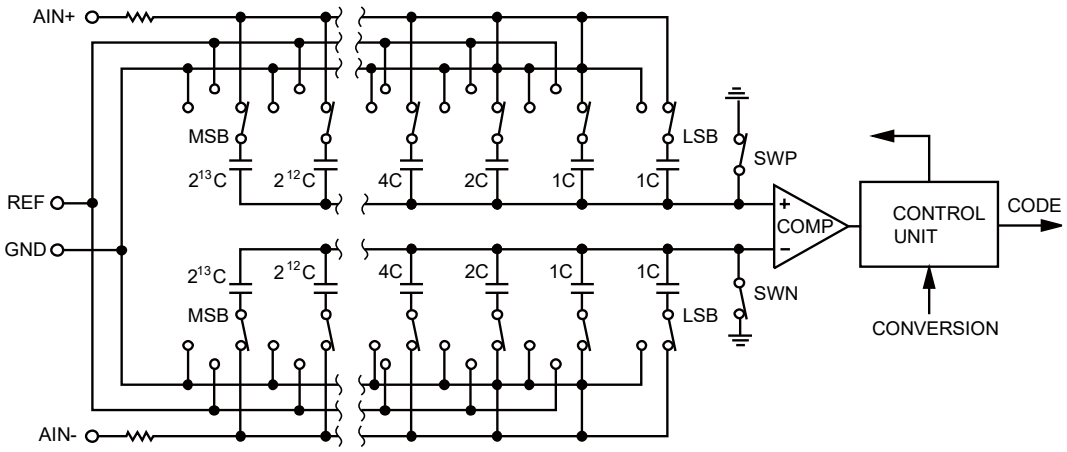


图25. ADC 简化电路图

电路结构

ZJC2018 是一款快速、高精度、低功耗、14 位双极性伪差分输入逐次逼近型模数转换器 (SAR ADC)。ZJC2018 每秒能够转换 300k 个样本 (300 kSPS)，转换之间器件进入待机模式。以 1 kSPS 速率工作时，典型功耗为 35 μW，非常适合低功耗的应用。

ZJC2018 可与任何 1.8 V 至 5 V 数字逻辑电平接口，提供 10 引脚 MSOP 封装或 10 引脚 DFN (LFCSP) 封装，节省空间。

转换器操作

图 25 是 ZJC2018 的简化电路图。它基于电荷再分配式 DAC 架构。

在采集阶段，与比较器输入端相连的阵列节点通过 SW+和 SW-短连到 GND。所有独立开关都连接到模拟输入端。因此，电容阵列被用作采样电容，采集 IN+和 IN-输入端的模拟信号。当采集阶段完成且 CNV 输入出现上升沿时，就会启动转换阶段。转换阶段开始时，SW+和 SW-首先断开。然后，两个电容阵列从输入端断开，并连接到 GND 输入端。通过在 GND 与 REF 之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进 ($V_{REF}/2^1$、$V_{REF}/2^2$、...、$V_{REF}/2^{13}$) 变化。控制逻辑从 MSB 开始依次切换这些开关，比较器每次重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生 ADC 输出码和繁忙信号指示。ZJC2018 具有片上转换时钟，因此转换过程不需要外部提供串行时钟 SCK。

此文档版权归上海治精微电子有限公司所有

传递函数

ZJC2018 理想传输函数如图 26 所示。

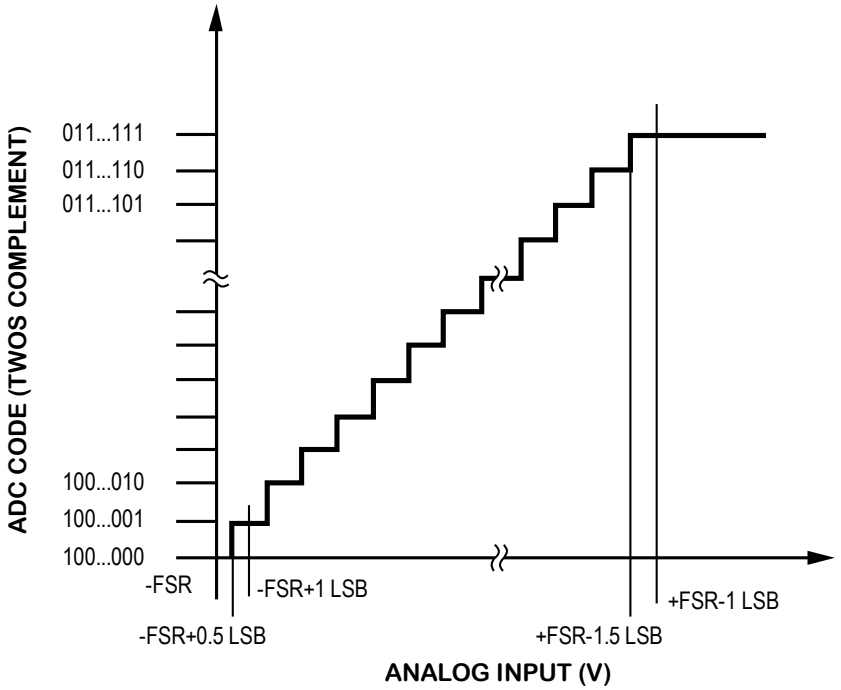


图26. ADC 理想传递函数

输出码和理想输入电压：

描述	模拟输入 V_{REF} = 5 V	数字输出码（十六进制）
正满量程 – 1 LSB	+4.999695 V	0x1FFF [1]
中间电平 + 1 LSB	2.5003052 V	0x1FFE
中间电平	2.5 V	0x0000
中间电平 – 1 LSB	2.499695 V	0x3FFF
负满量程 + 1 LSB	305.2 µV	0x2001
负满量程	0 V	0x2000 [2]

[1] 这也是超量程模拟输入 (VIN+ – VIN–高于 V_{REF} – V_{GND}) 对应的代码。
[2] 这也是欠量程模拟输入 (VIN+ – VIN–低于 V_{GND} – V_{REF}) 对应的代码。

此文档版权归上海治精微电子有限公司所有

典型连接图

图 27 所示的例子为采用多个电源时 ZJC2018 的建议连接图。

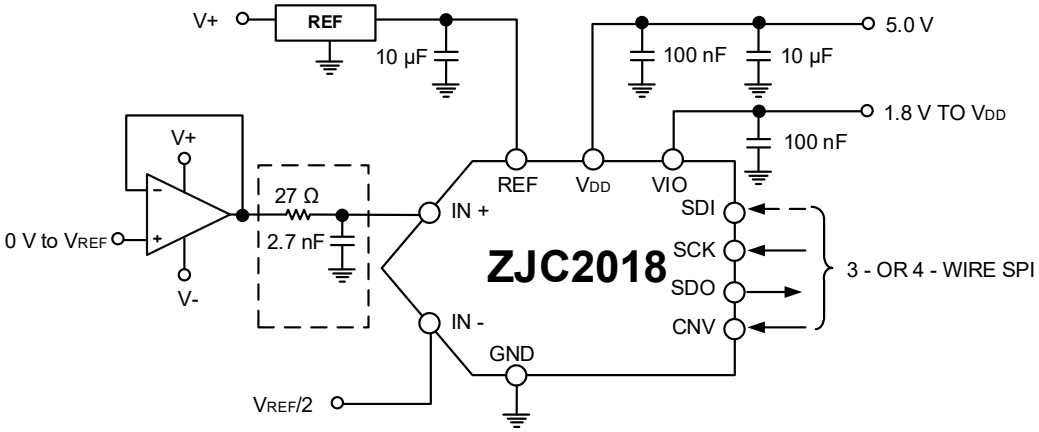


图27. 采用多路电源的应用电路

图 28 描述了 ZJC2018 输入结构的等效电路。

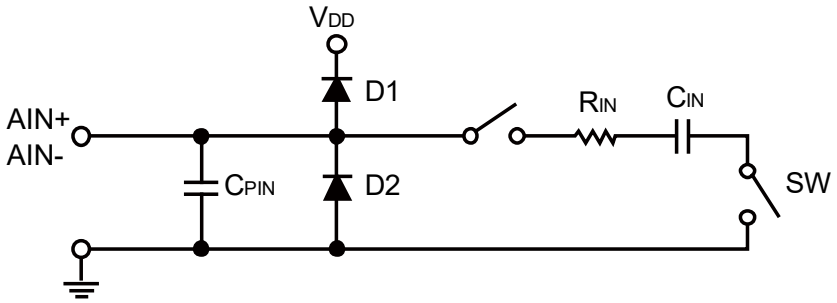


图28. 两个二极管 D1 和 D2 为模拟输入提供 ESD 保护

注意，模拟输入信号的电压值不能比电源电压 (V_{DD}) 高 0.3 V 以上。如果模拟输入信号的电压超过 V_{DD} + 0.3 V，二极管将正偏并开始传导电流。这两个二极管可以处理最高 50 mA 的正偏电流。如果输入驱动器的供电电压高于 V_{DD}，则模拟输入信号的电压可能比电源电压高超过 0.3 V。这两个二极管 D1 和 D2 为模拟输入 IN+和 IN−提供 ESD 保护。

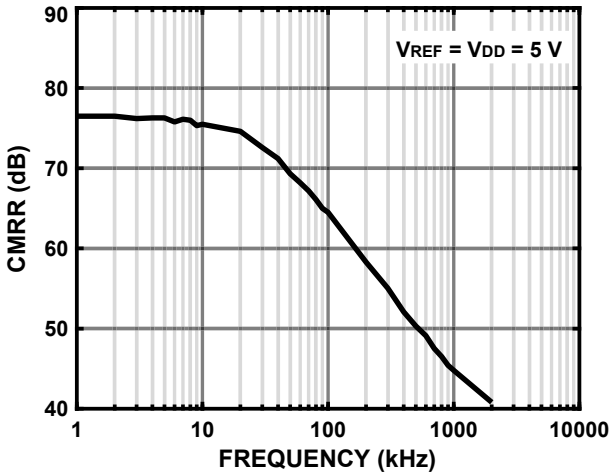


图29. 模拟输入 CMRR 与频率的关系

此文档版权归上海治精微电子有限公司所有

在采集阶段，模拟输入 (IN+) 的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。C_{PIN} 主要包括引脚电容。R_{IN} 典型值为 4 kΩ，是由串联电阻与开关的导通电阻构成的集总元件。C_{IN} 典型值为 30 pF，主要包括 ADC 采样电容。高源阻抗会显著影响交流特性，特别是谐波失真。THD 性能下降程度是源阻抗和模拟输入频率的函数。

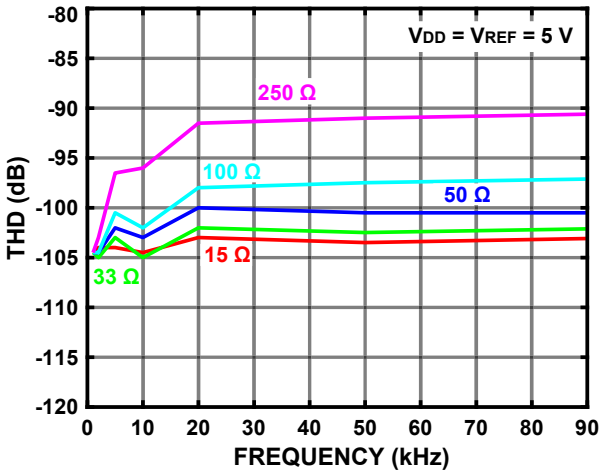


图30. THD 与模拟输入频率及源阻抗的关系

伪差分输入转换

对于使用单极性全差分模拟信号的应用，可以通过驱动运放为该器件提供伪差分输入，原理图见图 31。

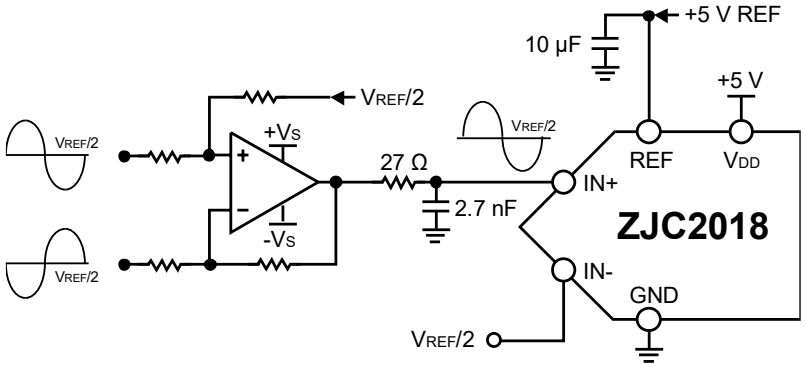


图31. 双运放实现全差分转双极性伪差分

双极性单端信号可以通过运放调理为伪差分信号，再驱动 ADC 输入，原理图见图 32。

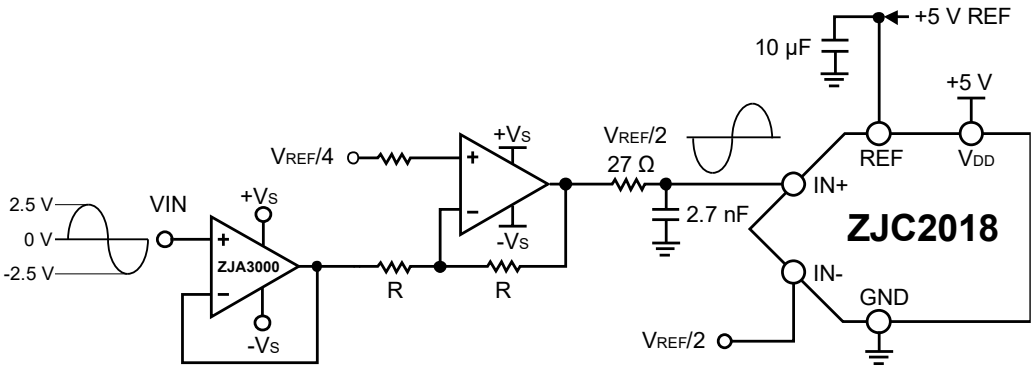


图32. 双运放实现双极性转双极性伪差分

此文档版权归上海治精微电子有限公司所有

基准电压输入

对于高精度 ADC 应用场合，精密基准电压源是必不可少的器件。ZJC2018 基准电压 REF 具有动态输入阻抗，因此应利用低阻抗源驱动。REF 与 GND 引脚之间应有效去耦，如“布局布线”部分所述。图 33 给出了一个具体的基准源及驱动设计的例子。ZJR100X 系列高精度基准源芯片正好可以满足这些需求。

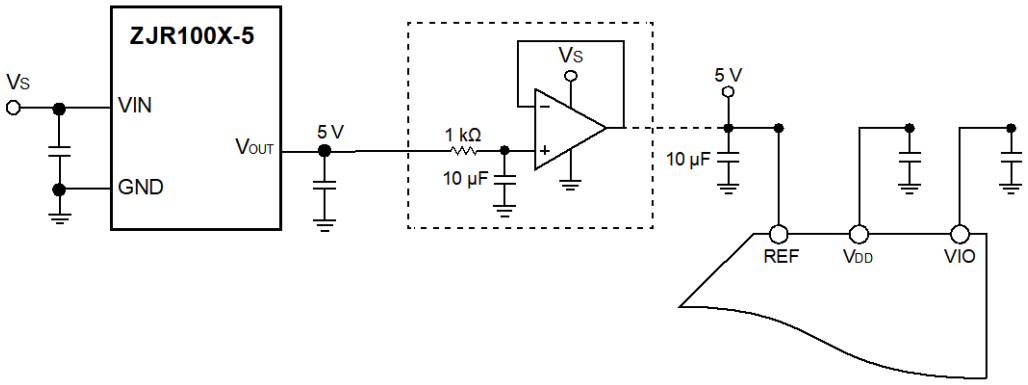


图33. ZJC2018 参考引脚驱动

电源

ZJC2018 使用两个电源引脚：内核电源 (V_{DD}) 以及数字输入/输出接口电源 VIO。VIO 可以与 1.8 V 至 5.5 V 的任何逻辑直接接口。为减少所需的电源数，VIO 和 V_{DD} 引脚可以通过电阻或磁珠连在一起。PSRR 曲线如图 34 所示。

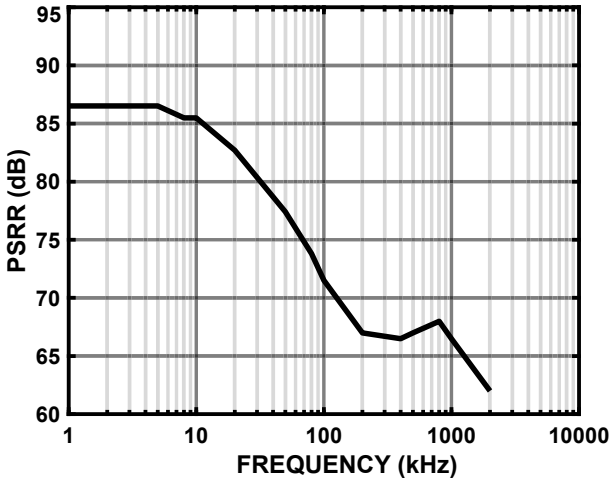


图34. PSRR 与频率的关系

ZJC2018 在每个转换阶段结束时自动进入待机模式，因此功耗与采样速率大致成线性比例关系。这使得该器件适合低采样率和低功耗的应用。如图 35 所示。

此文档版权归上海治精微电子有限公司所有

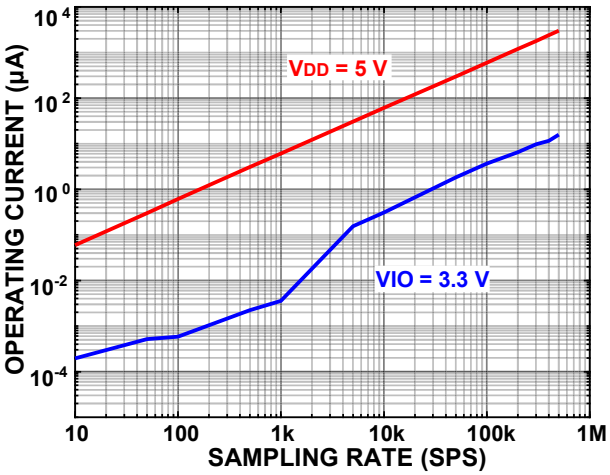


图35. 工作电流与采样速率的关系

数字接口

ZJC2018 在串行接口模式上具有很强灵活性。片选模式下，ZJC2018 与 SPI、MCU 和 DSP 兼容。此模式下，ZJC2018 可使用三线式或四线式接口。三线式接口使用 CNV、SCK 和 SDO 信号。四线式接口使用 SDI、CNV、SCK 和 SDO 信号，用于启动转换的 CNV 与回读时序 (SDI) 独立。链模式下，ZJC2018 提供菊链特性，可实现多个 ADC 的级联。如果 SDI 为高电平，选择片选模式，而如果 SDI 为低电平，则选择链模式。当 SDI 和 CNV 连接在一起时，始终选择链模式。

ZJC2018 可提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示。如果无繁忙指示，控制器必须在回读前等待最大转换时间，然后再读取码值。繁忙指示功能在下列情况下使能：

- 片选 ($\overline{CS}$) 模式下，ADC 转换结束时 CNV 或 SDI 为低电平（参见图 39 和图 43）。
- 链 (Chain) 模式下，CNV 上升沿期间 SCK 为高电平（参见图 47）。

片选模式（三线式无繁忙指示）

单片 ZJC2018 连接到 SPI 兼容控制器时，可以使用此模式。连接如图 36 所示，相应时序如图 37 所示。

SDI 为高时，CNV 的上升沿启动转换，选择片选模式，并强制 SDO 进入高阻态。启动转换后，无论 CNV 为何状态，转换都会执行到完成为止。CNV 必须在最小转换时间结束前返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，ZJC2018 进入采集阶段并进入待机模式。

CNV 变为低电平时，MSB 输出至 SDO。剩余数据位在随后的 SCK 下降沿逐位输出。在第 14 个 SCK 下降沿之后，或者当 CNV 变为高电平时（以最先出现者为准），SDO 返回高阻态。

此文档版权归上海治精微电子有限公司所有

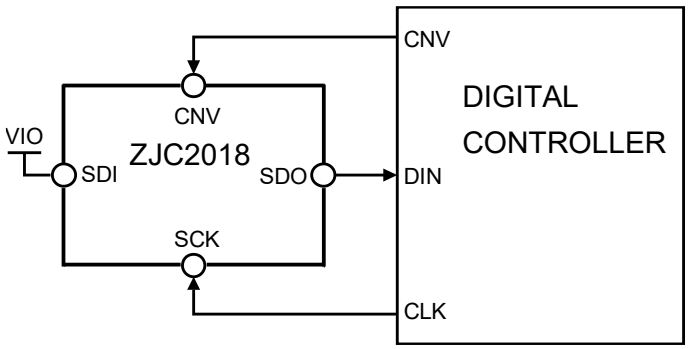


图36. 片选模式（三线式无繁忙指示）连接图

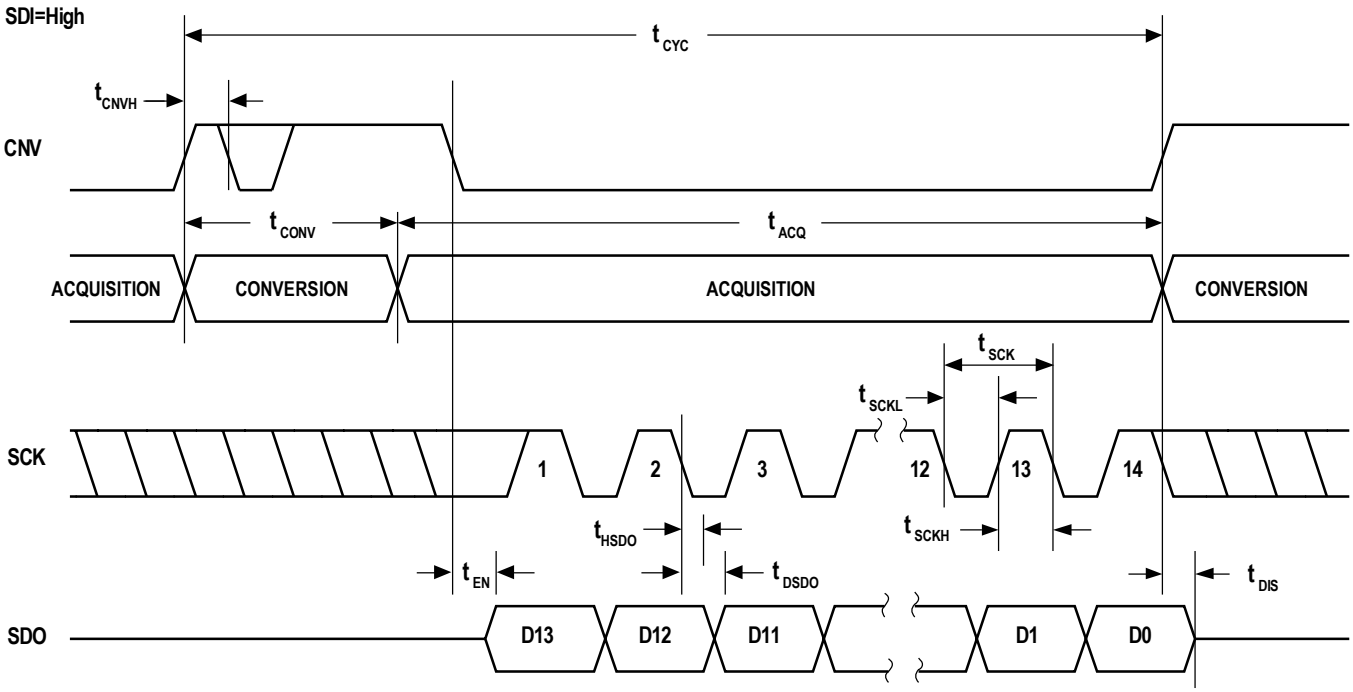


图37. 片选模式（三线式无繁忙指示）串行接口时序

片选模式（三线式有繁忙指示）

单个 ZJC2018 连接到具有中断输入的 SPI 兼容数字主机时，可以使用此模式。连接如图 38 所示，相应时序如图 39 所示。

将 SDI 连接到 VIO 时，CNV 上的上升沿启动转换，选择片选模式，并强制 SDO 进入高阻态。无论 CNV 状态如何，SDO 都会保持高阻态，直至转换完成。CNV 必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO 从高阻态变为低阻态。结合 SDO 线路上的上拉，此转换可用作中断信号。接下来 ZJC2018 进入采集阶段并进入待机模式。数据位则在随后的 SCK 下降沿逐个输出，MSB 优先。在可选的第 15 个 SCK 下降沿之后，或者当 CNV 变为高电平时（以最先发生者为准），SDO 返回高阻态。

此文档版权归上海治精微电子有限公司所有

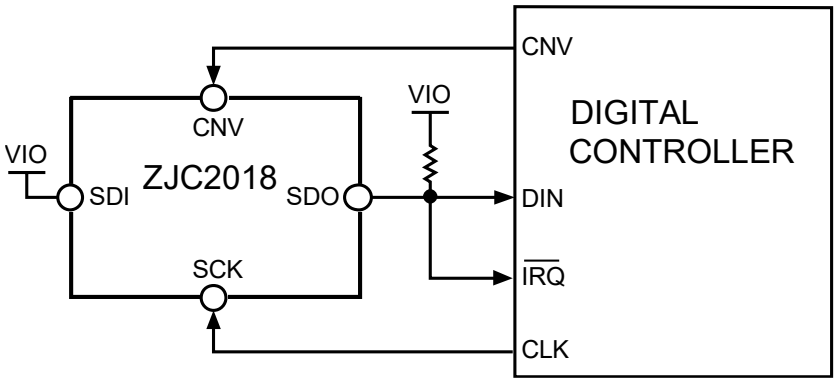


图38. 片选模式（三线式有繁忙指示）连接图

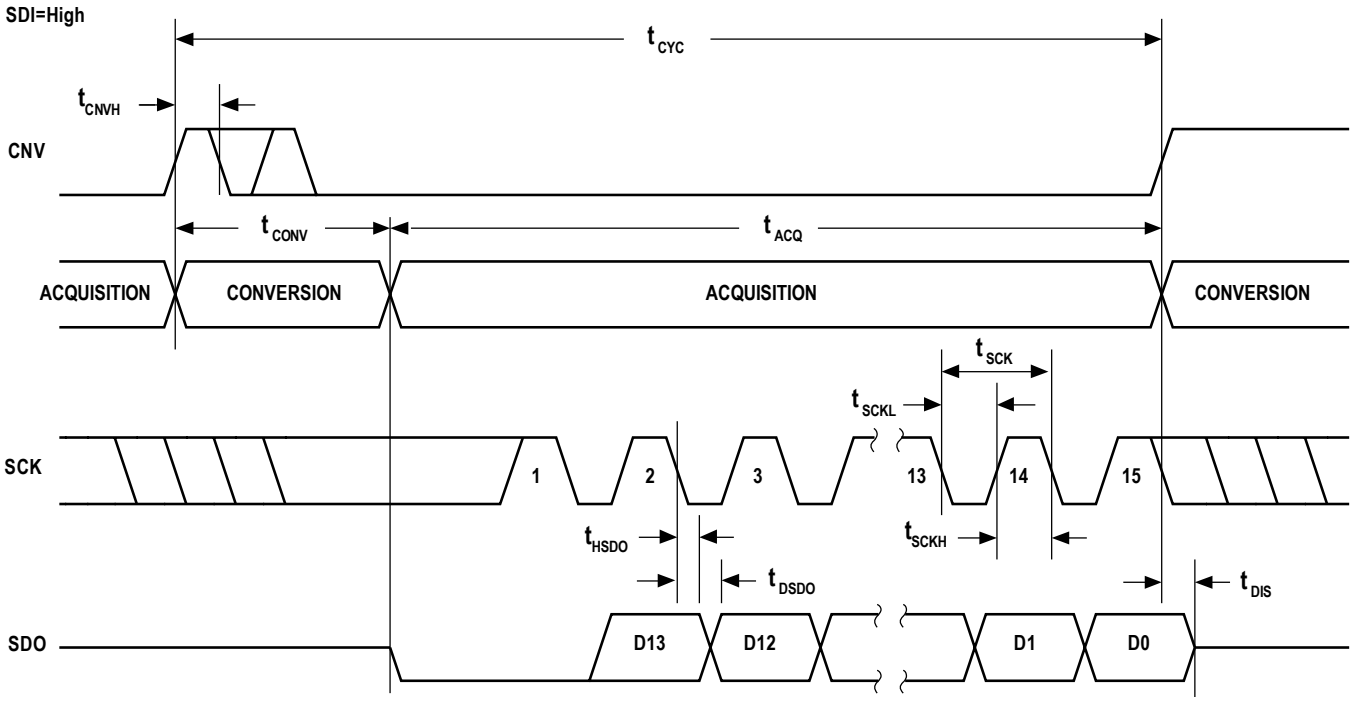


图39. 片选模式（三线式有繁忙指示）串行接口时序

片选模式（四线式无繁忙指示）

使用两个 ZJC2018 的连接示例如图 40 所示，相应时序如图 41 所示。

将 SDI 置为高电平时，CNV 上的上升沿启动转换，选择片选模式，并强制 SDO 进入高阻态。此模式下，CNV 在转换阶段和随后的数据回读期间必须保持高电平。如果 SDI 和 CNV 为低电平，SDO 变为低电平。

SDI 必须在最小转换时间结束前返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，ZJC2018 进入采集阶段并进入待机模式。每个 ADC 转换码值可通过将 SDI 输入拉低来读取，从而将 MSB 输出至 SDO。剩余数据位则在随后的 SCK 下降沿逐个输出。在第 14 个 SCK 下降沿之后，或者当 SDI 变为高电平时（以最先出现者为准），SDO 返回高阻态，可读取另一个 ZJC2018。

此文档版权归上海治精微电子有限公司所有

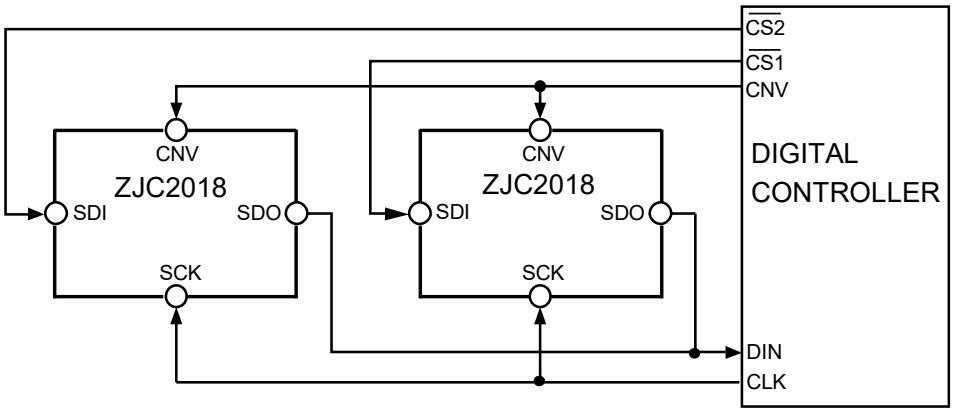


图40. 片选模式（四线式无繁忙指示）连接图

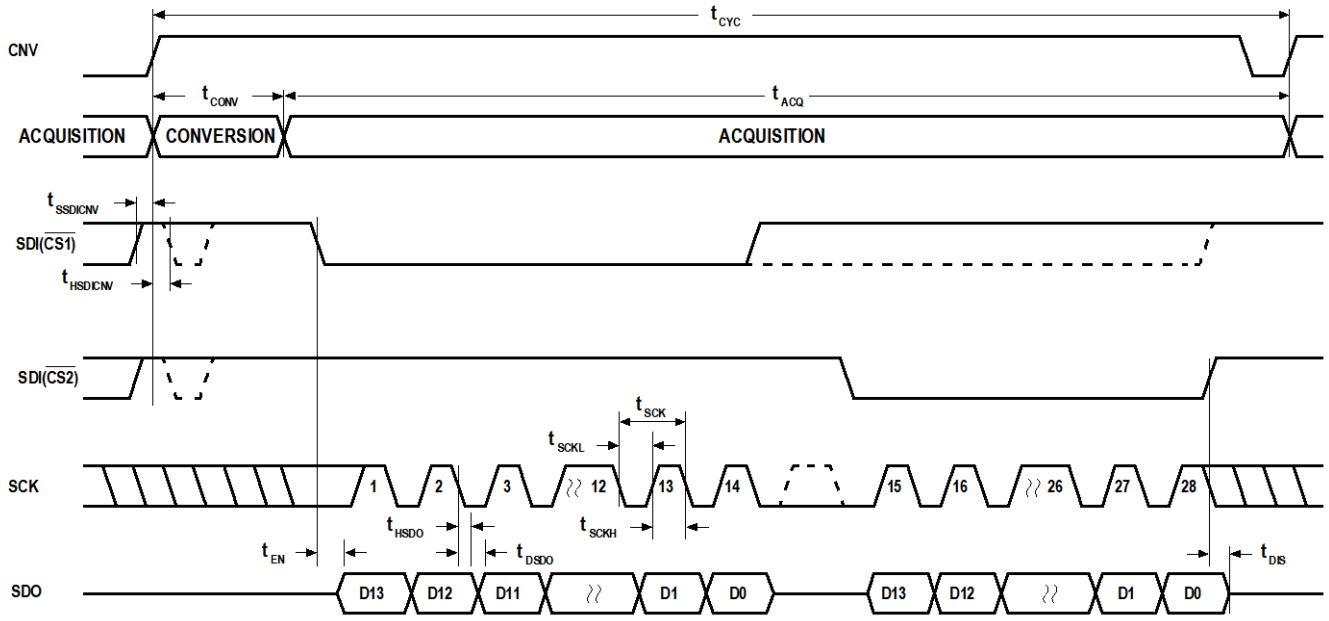


图41. 片选模式（四线式无繁忙指示）串行接口时序

片选模式（四线式有繁忙指示）

连接如图 42 所示，相应时序如图 43 所示。

将 SDI 置为高电平时，CNV 上的上升沿启动转换，选择片选模式，并强制 SDO 进入高阻态。此模式下，CNV 在转换阶段和随后的数据回读期间必须保持高电平。如果 SDI 和 CNV 为低电平，SDO 变为低电平。SDI 必须在最小转换时间结束前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO 从高阻态变为低阻态。结合 SDO 线路上的上拉，此转换可用作中断信号，以启动数据回读。接下来 ZJC2018 进入采集阶段并待机。数据位则在随后的 SCK 下降沿逐个输出，MSB 优先。在可选的第 15 个 SCK 下降沿或者 SDI 变为高电平之后（以最先出现者为准），SDO 返回高阻态。

此文档版权归上海治精微电子有限公司所有

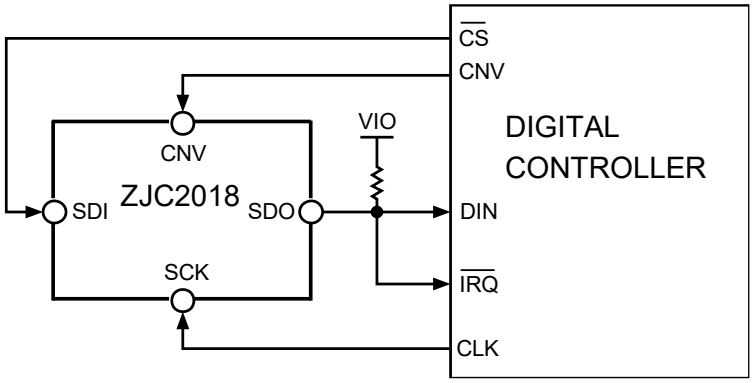


图42. 片选模式（四线式有繁忙指示）连接图

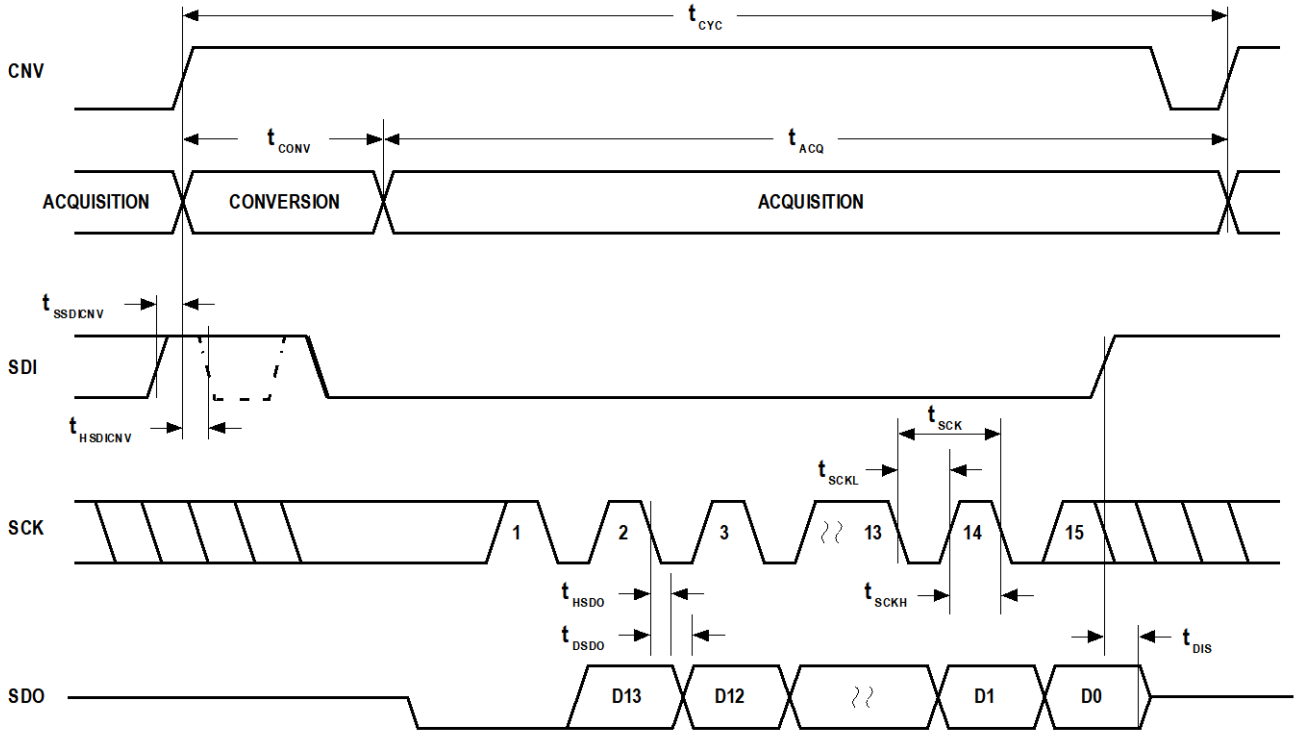


图43. 片选模式(四线式有繁忙指示)串行接口时序

链模式（无繁忙指示）

此模式可用于在三线式串行接口上以菊链形式连接多个 ZJC2018。

使用两个 ZJC2018 的连接示例如图 44 所示，相应时序如图 45 所示。

SDI 和 CNV 为低电平时，SDO 变为低电平。将 SCK 置为低电平时，CNV 上的上升沿启动转换，选择链模式，并禁用繁忙指示。此模式下，CNV 在转换阶段和随后的数据回读期间保持高电平。转换完成后，MSB 输出至 SDO，而 ZJC2018 进入采集阶段并待机。存储在内部移位寄存器中的剩余数据位则在随后的 SCK 下降沿逐个输出。对于每个 ADC，SDI 馈入内部移位寄存器的输入，并通过 SCK 下降沿逐个输出。链内每个 ADC 首先输出数据 MSB，回读 N 个 ADC 需要 14×N 个时钟。

此文档版权归上海治精微电子有限公司所有

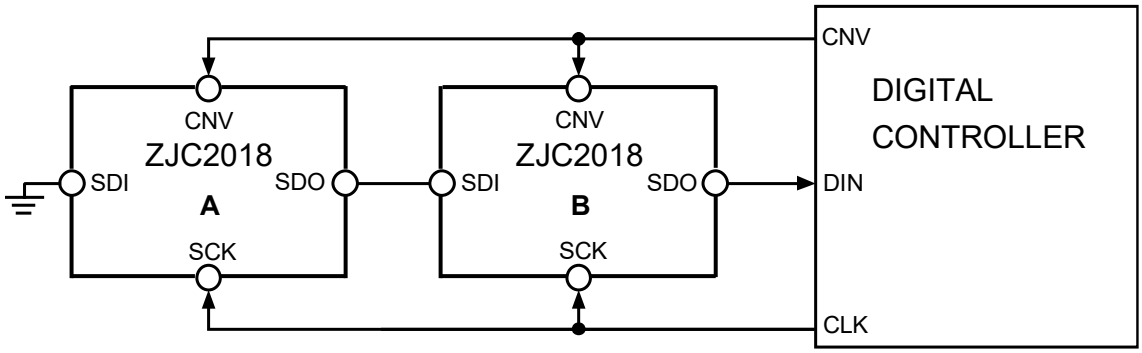


图44. 链模式(无繁忙指示)连接图

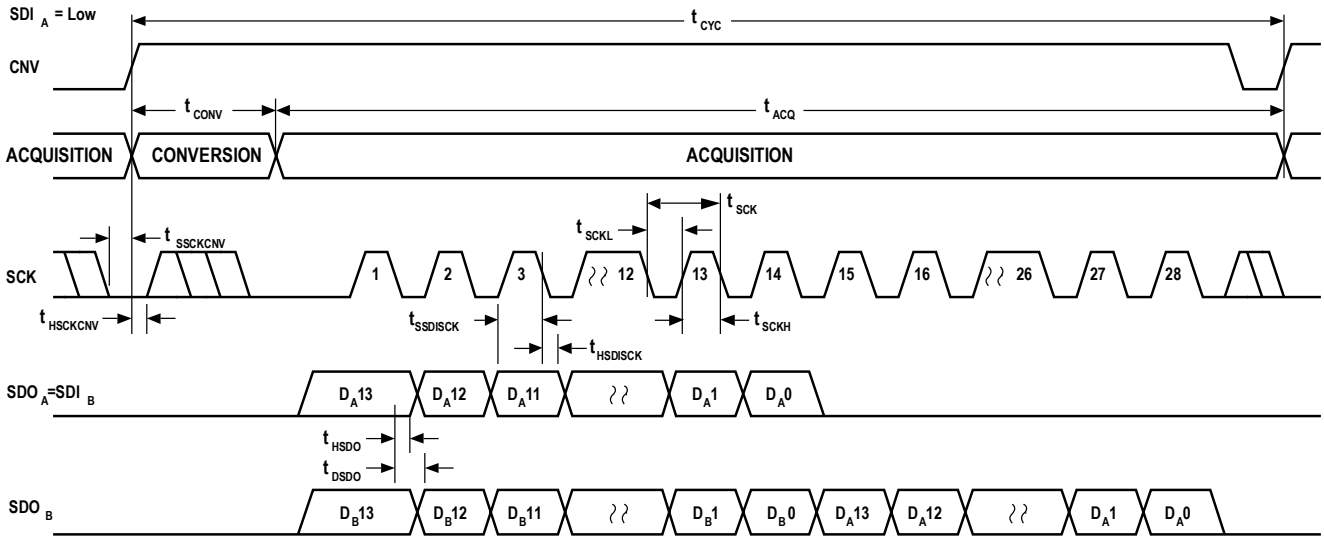


图45. 链模式(无繁忙指示)串行接口时序

链模式（有繁忙指示）

此模式也可用于在三线式串行接口上以菊链形式连接多个 ZJC2018，同时提供繁忙指示。

使用三个 ZJC2018 的连接示例如图 46 所示，相应时序如图 47 所示。

SDI 和 CNV 为低电平时，SDO 变为低电平。将 SCK 置为高电平时，CNV 上的上升沿启动转换，选择链模式，并启用繁忙指示功能。此模式下，CNV 在转换阶段和随后的数据回读期间保持高电平。链内所有 ADC 完成转换后，将最靠近数字主机的 ADC 的 SDO 引脚（参见图 46 中标示为 C 的 ADC ZJC2018）驱动为高电平。SDO 上的这一转换可用作繁忙指示，以触发数据回读。ZJC2018 接着进入采集阶段并待机。存储在内部移位寄存器中的剩余数据位则在随后的 SCK 下降沿以 MSB 优先方式逐个输出。对于每个 ADC，SDI 馈入内部移位寄存器的输入，并通过 SCK 下降沿逐个输出。链内每个 ADC 首先输出数据 MSB，回读 N 个 ADC 需要 14×N + 1 个时钟。

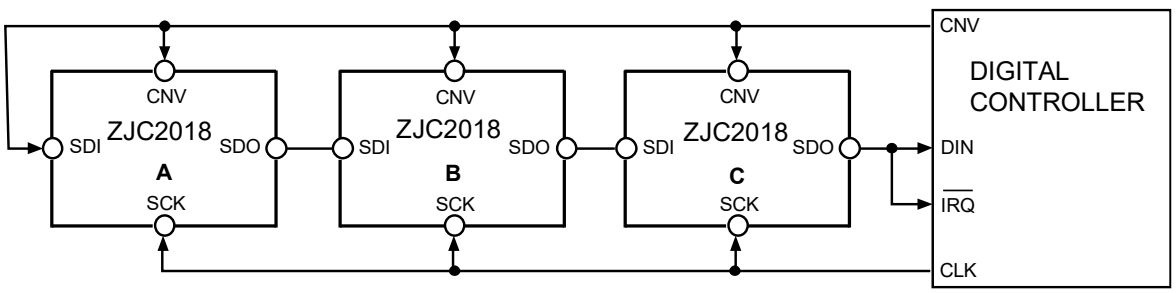


图46. 链模式(有繁忙指示)连接图

此文档版权归上海治精微电子有限公司所有

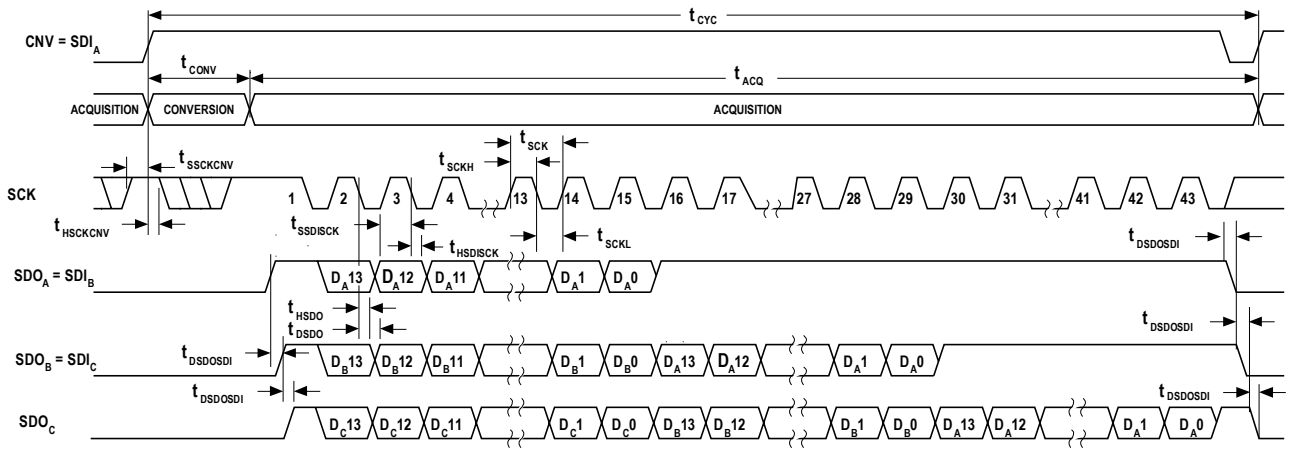


图47. 链模式(有繁忙指示)串行接口时序

此文档版权归上海治精微电子有限公司所有

布局布线

为了获得器件的最佳工作性能，建议使用良好的 PCB 布局习惯，包括：

- ZJC2018 印刷电路板建议采用模拟部分与数字部分分离设计，并各自限制在电路板的一定区域内。
- 避免在器件下方布设数字线路，否则会将噪声耦合至晶片，除非在 ZJC2018 下方铺一个接地层用作屏蔽。CNV 或时钟之类的快速开关信号不应靠近模拟信号路径。应避免数字信号与模拟信号交叠。
- 至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况，接地层应在 ZJC2018 下方连接。
- ZJC2018 的基准电压输入 REF 具有动态输入阻抗，应用 10μF 左右陶瓷电容进行去耦，并使寄生电感最小。实现方法是将基准电压源的去耦陶瓷电容尽量靠近 REF 和 GND 引脚放置，并用较宽的低阻抗走线进行连接。
- ZJC2018 的电源 V_{DD} 应通过 10μF 和 100 nF 陶瓷电容并联去耦，尽量靠近 ZJC2018 放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的噪声影响。

图 48 是遵循这些规则的布局布线示例。

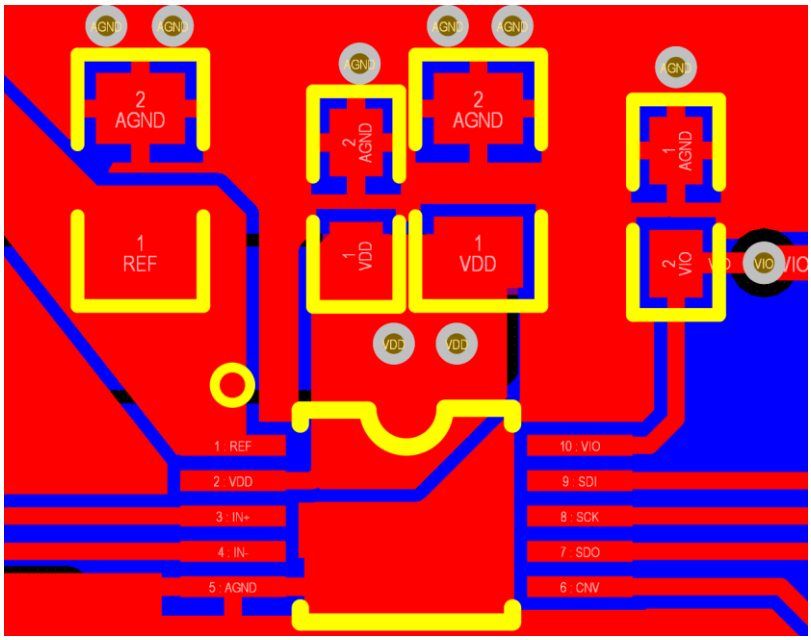


图48. ZJC2018 的示例布局布线

此文档版权归上海治精微电子有限公司所有

封装外形尺寸

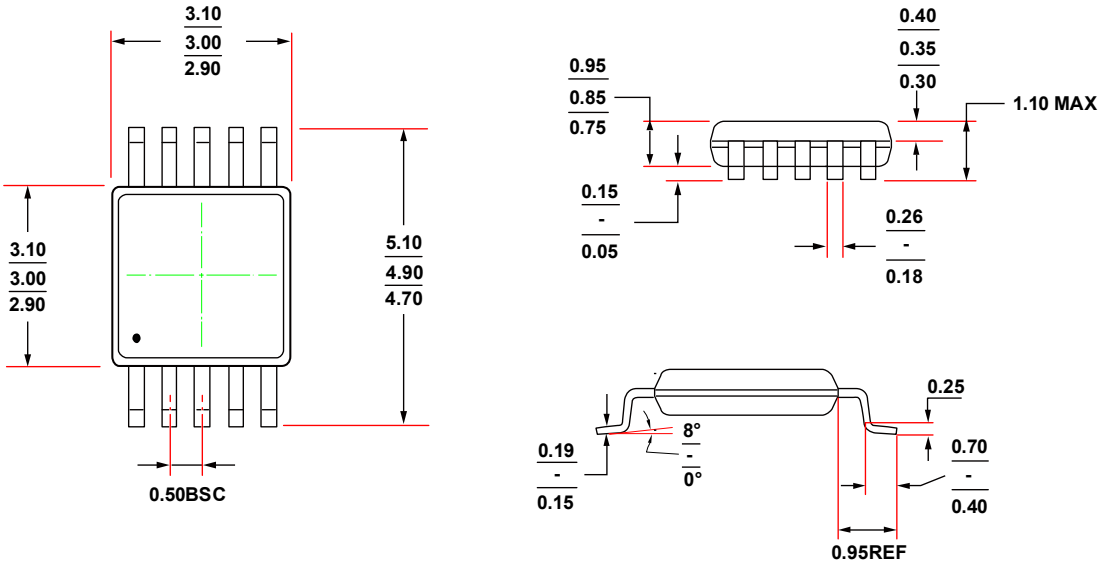


图49. MSOP-10 封装尺寸图（单位：毫米）

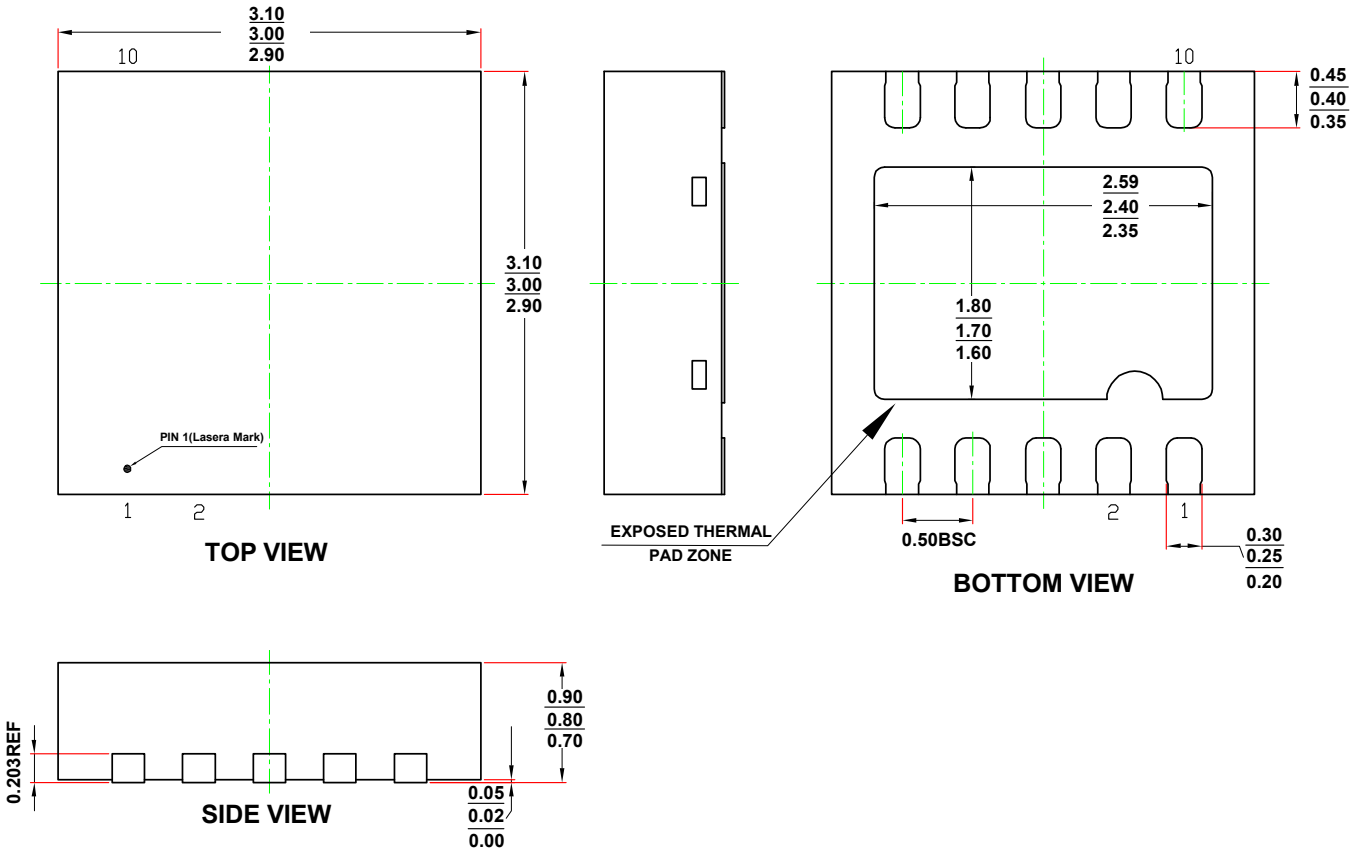


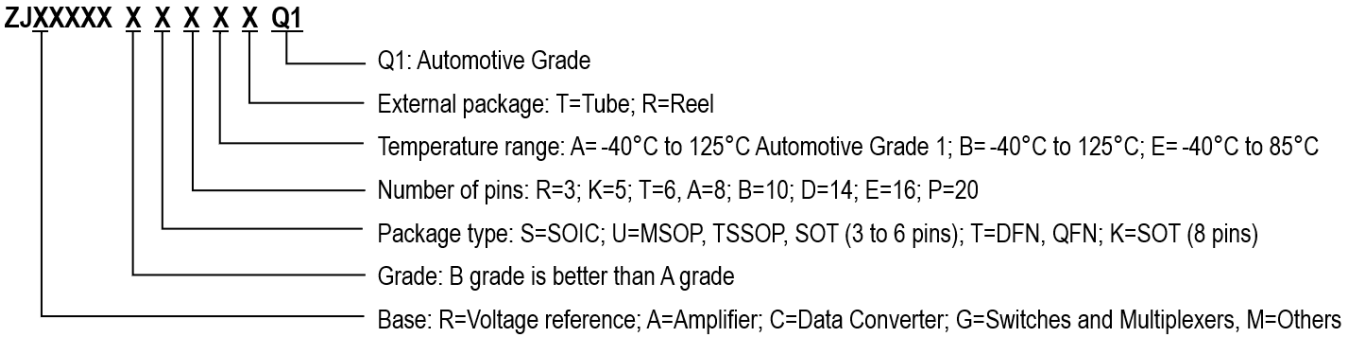
图50. DFN-10 封装尺寸图（单位：毫米）

此文档版权归上海治精微电子有限公司所有

采购信息

型号	订货号	Status[1]	封装	分辨率 (bit)	供电电压 (V)	温度范围 (°C)	外包装
ZJC2018	ZJC2018AUBET	ACTIVE	MSOP-10	14	4.5 至 5.5	-40 至+85	管装
	ZJC2018AUBER	ACTIVE	MSOP-10				13”卷盘
	ZJC2018ATBER	ACTIVE	DFN-10				13”卷盘

产品订货型号



[1] The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: ZJW has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but ZJW does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may be available.
OBSOLETE: ZJW has discontinued the production of the device.

此文档版权归上海治精微电子有限公司所有

相关器件

Part Number	Description	Comments
ADC		
ZJC2020	20-bit 350 kSPS SAR ADC	Fully differential input, SINAD 101.4 dB, THD -118 dB
ZJC2000/2010	18-bit 400 kSPS/200 kSPS SAR ADC	Fully differential input, SINAD 99.3 dB, THD -113 dB
ZJC2001/2011	16-bit 500 kSPS/250 kSPS SAR ADC	Fully differential input, SINAD 95.3 dB, THD -113 dB
ZJC2002/2012 ZJC2003/2013	16-bit 500 kSPS/250 kSPS SAR ADC	Pseudo-differential unipolar input, SINAD 91.7 dB, THD -105 dB Pseudo-differential bipolar input, SINAD 91.7 dB, THD -105 dB
ZJC2004/2014 ZJC2005/2015	18-bit 400 kSPS/200 kSPS SAR ADC	Pseudo-differential unipolar input, SINAD 94.2 dB, THD -105 dB Pseudo-differential bipolar input, SINAD 94.2 dB, THD -105 dB
ZJC2007/2017 ZJC2008/2018	14-bit 600 kSPS/300 kSPS SAR ADC	Pseudo-differential unipolar input, SINAD 85 dB, THD -105 dB Pseudo-differential bipolar input, SINAD 85 dB, THD -105 dB
ZJC2009	Small size, 12-bit 1 MSPS SAR ADC	Single-ended input, SOT23-6, 2.3 V to 5 V, SINAD 73 dB, THD -89 dB
ZJC2100/1-18 ZJC2100/1-16	18-bit 400 kSPS/200 kSPS 4-ch differential SAR ADC, SINAD 99.3 dB, THD -113 dB 16-bit 500 kSPS/250 kSPS 4-ch differential SAR ADC, SINAD 95.3 dB, THD -113 dB	
ZJC2102/3-18 ZJC2102/3-16 ZJC2102/3-14	18-bit 400 kSPS/200 kSPS 8-ch pseudo-differential SAR ADC, SINAD 94.2 dB, THD -105 dB 16-bit 500 kSPS/250 kSPS 8-ch pseudo-differential SAR ADC, SINAD 91.7 dB, THD -105 dB 14-bit 600 kSPS/300 kSPS 8-ch pseudo-differential SAR ADC, SINAD 85 dB, THD -105 dB	
ZJC2104/5-18 ZJC2104/5-16	18-bit 400 kSPS/200 kSPS 4-ch pseudo-differential SAR ADC, SINAD 94.2 dB, THD -105 dB 16-bit 500 kSPS/250 kSPS 4-ch pseudo-differential SAR ADC, SINAD 91.7 dB, THD -105 dB	
DAC		
ZJC2541-18/16/14 ZJC2543-18/16/14	18/16/14-bit 1 MSPS single channel DAC with unipolar output	Power on reset to 0 V (ZJC2541) or V_{REF}/2 (ZJC2543), 1 nV-S glitch, SOIC-8, MSOP-10/8, DFN-10 packages
ZJC2542-18/16/14 ZJC2544-18/16/14	18/16/14-bit 1 MSPS single channel DAC with bipolar output	Power on reset to 0 V (ZJC2542) or V_{REF}/2 (ZJC2544), 1 nV-S glitch, SOIC-14, TSSOP-16, QFN 16 packages
Amplifier		
ZJA3000-1/2/4 ZJA3001-1/2/4	Single/Dual/Quad 36 V low bias current precision Op Amps	3 MHz, 35 µV max Vos, 0.5 µV/°C max TCVos, 25 pA max Ibias, 1 mA/ch, input to V- (ZJA3000 only), RRO, 4.5 V to 36 V
ZJA3018-2 ZJA3008-2	OVP ±75 V, 36 V, Low Power, High Precision Op Amp 36 V, Low Power, High Precision Op Amp	1.3 MHz, 10 µV max Vos, 0.5 µV/°C max TCVos, 25 pA max Ibias, 0.5 mA/ch, OVP ±75 V (ZJA3018 only), RRO, 4.5 V to 36 V
ZJA3512-2	Dual 36 V 7 MHz precision JFET Op Amps	7 MHz, 35 V/µS, 50 µV max Vos, 1 µV/°C max TCVos, 2 mA/ch, RRO, 9 V to 36 V
ZJA3206/06/02-1/2	Precision 24/11.6/5.3 MHz CMOS RRIO Op Amps	24/11.6/5.3 MHz, RRIO, 30 µV max Vos, 1 µV/°C max TCVos, 0.6 pA Ib, 2.7 V to 5.5 V
ZJA3600/1	36 V ultra-high precision in-amp	CMRR 105 dB min (G = 1), 25 pA max Ib, 25 µV max Vosi, ±2.4 V to ±18 V, -40 °C to 125 °C
ZJA3611, ZJA3609	36 V precision wider bandwidth precision in-amp (G ≥ 10)	CMRR 120 dB min (G = 10), 25 pA max Ibias, 25 µV max Vosi, 1.2 MHz BW (G = 10)
ZJA3676/7 ZJA3678/9	Low power, G = 1 Single/Dual 36 V difference amplifier Low power, G = 0.5/2 Single/Dual 36 V difference amplifier	Input protection to ±65 V, CMRR 104 dB min (G = 1), Vos 100 µV max, gain error 15 ppm max, 500 kHz BW (G = 1), 330 µA/channel, 2.7 V to 36 V
ZJA3669	High Common-Mode Voltage Difference Amplifier	±270 V CMV, 2.5 kV ESD, 96 dB min CMRR, 450 kHz BW, 4 V to 36 V, SOIC-8
ZJA3100	15 V precision fully differential amplifier	145 MHz, 447 V/µS, 50 nS to 16-bit, 50 µV max Vos, 4.6 mA Iq, SOIC/MSOP-8, QFN-16
ZJA3236/26/22-2	Low-cost 22/10/5 MHz CMOS RRIO Op Amps	22/11/5 MHz, RRIO, 2 mV max Vos, 6 µV/°C max TCVos, 0.6 pA Ib, 2.7 V to 5.5 V
ZJA3622/8	36 V low-cost precision in-amp	0.5 nA max Ibias, 125 µV max Vosi, 625 kHz BW (G = 10), 3.3 mA Iq, ±2.4 V to ±18 V
Voltage Reference		
ZJR1004	40 V supply precision voltage reference	V_{OUT} = 2.048/2.5/3/3.3/4.096/5/10 V, 5 ppm/°C max drift -40 °C to 125 °C
ZJR1001/2 ZJR1003	5.5 V low power voltage reference (ZJR1001 with noise filter option)	V_{OUT} = 2.048/2.5/3/3.3/4.096/5 V, 5 ppm/°C max drift -40 °C to 125 °C, ±0.05% initial error, 130 µA, ZJR1001/2 in SOT23-6, ZJR1003 in SOIC/MSOP-8
ZJR1302	5.5 V low power compact precision voltage reference	V_{OUT} = 2.048/2.5/3/3.3/4.096 V, 30 ppm/°C max drift -40 °C to 125 °C, 130 µA, SOT23-3
Switches and Multiplexers		
ZJG4438/4439	36 V fault protection 8:1/dual 4:1 multiplexer	Protectionto ±50 V power on & off, latch-up immune, Ron 270 Ω, 14.8 pC, t_{ON} 166 nS
ZJG4428/4429	36 V 8:1/dual 4:1 multiplexer	Latch-up immune, Ron 270 Ω, 14.8 pC charge injection, t_{ON} 166 nS
Quad Matching Resistor		
ZJM5400	±75 V precision match resistors	Mismatch < 100 ppm, 10k:10k:10k:10k, 100k:100k:100k:100k, 100k:10k:10k:100k, 1k:1k:1k:1k, 1M:1M:1M:1M, 5k:1k:1k:5k, 5k:1.25k:1.25k:5k, 9k:1k:1k:9k, ESD: 3.5 kV

此文档版权归上海治精微电子有限公司所有